

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-250010

(43)Date of publication of application : 14.09.2000

(51)Int.CI.

G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 11-049619

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.02.1999

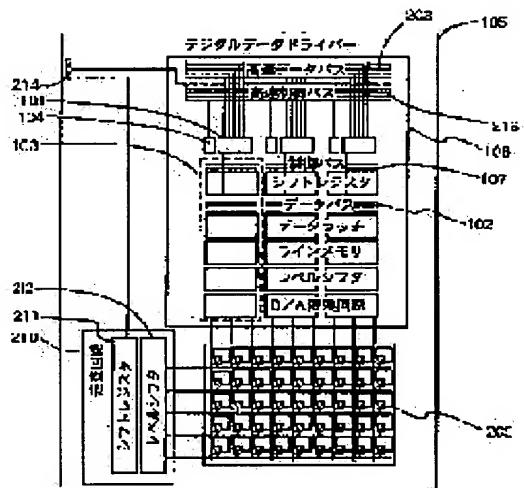
(72)Inventor : MIKAMI YOSHIAKI
SATO HIDEO
KAGEYAMA HIROSHI
MASUDA KAZUTO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device having less load capacity on a display panel and transmitting the display data inputted to a high speed data bus to the end of the bus with a less waveform distortion even in a large-sized high resolution panel.

SOLUTION: The high speed data bus 203 having less load capacity and a paralleled low speed control bus 107 are provided on the panel, and by blocking (103) the low speed control bus 107, a high speed transfer is made possible as a whole even when a wiring transmission delay in the high speed data bus 203 occurs. A high speed data transfer becomes possible even in the large-sized high resolution panel, and an interface circuit is simple and compact, and the display device of excellent handleability is provided.



LEGAL STATUS

[Date of request for examination] 25.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-250010

(P2000-250010A)

(43)公開日 平成12年9月14日 (2000.9.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコト(参考)
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 2 H 0 9 3
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 J 5 C 0 0 6
	6 2 1		6 2 1 E 5 C 0 8 0
3/36		3/36	

審査請求 未請求 請求項の数11 O.L (全 11 頁)

(21)出願番号	特願平11-49619	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成11年2月26日(1999.2.26)	(72)発明者	三上 佳朗 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
		(72)発明者	佐藤 秀夫 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
		(74)代理人	100068504 弁理士 小川 勝男

最終頁に続く

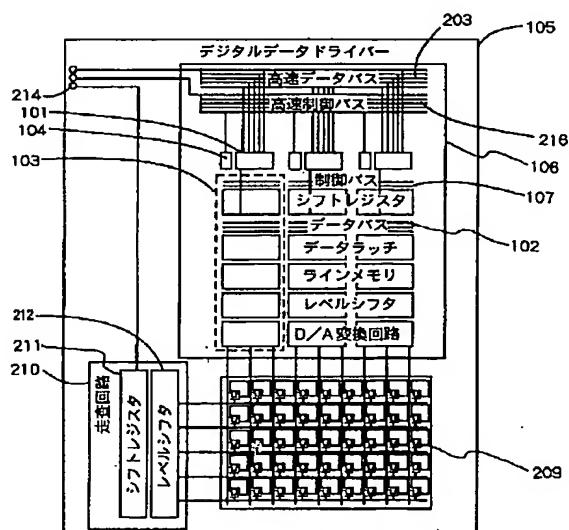
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】周辺回路内蔵液晶ディスプレイにおいて、大型高精細パネルを表示しようとすると周辺回路に表示データを、長いバス配線を用いて高速に転送する。

【解決手段】パネル上に負荷容量の小さい高速データバス203と、並列化した低速制御バス107を設け、低速制御バス107をブロック化する(103)ことにより高速データバス203での配線伝達遅延が発生しても全体では高速の転送を可能とする。大型高精細パネルでも高速データ転送が可能となり、インターフェース回路も簡略なコンパクトで、使い勝手の良い表示装置を得る。

図 1



【特許請求の範囲】

【請求項1】少なくとも一方が透明な一対の基板と、該一対の基板間に挟持された液晶層を有し、前記一対の基板の一方には複数の走査配線と、複数の信号配線と、これらの配線の交点に対応して形成された複数の薄膜半導体素子と、該複数の半導体素子に接続された表示電極を有し、前記一対の基板の他方には対向電極を有する液晶表示装置において、

前記一対の基板の一方の基板上の前記信号配線に表示データを転送するための中継バスとして、信号配線の幅にわたる連続した第1の中継バス配線と、前記信号配線の幅を複数個のブロックに区分した第2の中継バスとを有し、前記第1の中継バスと前記第2の中継バスとの間にデータを中継する中継回路をブロックごとに形成し、前記第2の中継バスを介して前記表示データを順次読み込み1ブロック分の表示データを保持するデータラッチと、1ブロック分の表示データを同時に読み出しうける記憶回路と、該記憶回路の内容を読み出して論理電圧を変化させるレベルシフタ回路と、該レベルシフタ回路の出力により前記信号配線を駆動するアナログ電圧に変換するD/A回路とを有する液晶表示装置。

【請求項2】請求項1の液晶表示装置において、前記第1の中継バス配線の途中にデジタル波形を整形する波形整形回路を有する液晶表示装置。

【請求項3】請求項2の液晶表示装置において、波形整形回路としてインバータ回路を偶数個直列接続して構成する液晶表示装置。

【請求項4】少なくとも一方が透明な一対の基板と、該一対の基板間に挟持された液晶層を有し、前記一対の基板の一方には複数の走査配線と、複数の信号配線と、これらの配線の交点に対応して形成された複数の薄膜半導体素子と、該複数の半導体素子に接続された表示電極を有し、前記一対の基板の他方には対向電極を有する液晶表示装置において、

前記一対の基板の一方の基板上の前記信号配線に表示データを転送するための中継バスとして、信号配線の幅にわたる連続した第1の中継バス配線と、前記信号配線の幅を複数個のブロックに区分し、第1の中継バスの整数倍の本数から構成される第2の中継バスとを有し、

前記第1の中継バスから前記第2の中継バスとの間にデータを中継する中継回路をブロックごとに形成し、

中継回路において前記第1の中継バスの表示データを時分割法により前記第2の中継バス上に並列に展開し、

前記第2の中継バスを介して前記表示データを順次読み込み1ブロック分の表示データを保持するデータラッチと、1ブロック分の表示データを同時に読み出しうける記憶回路と、前記記憶回路の内容を読み出して論理電圧を変化させるレベルシフタ回路と、該レベルシフタ回路出力により前記信号配線を駆動するアナログ電圧に変換するD/A回路とを有する液晶表示装置。

10

20

30

40

50

【請求項5】少なくとも一方が透明な一対の基板と、該一対の基板間に挟持された液晶層を有し、前記一対の基板の一方には複数の走査配線と、複数の信号配線と、これらの配線の交点に対応して形成された複数の薄膜半導体素子と、該複数の半導体素子に接続された表示電極を有し、前記一対の基板の他方には対向電極を有する液晶表示装置において、

前記一対の基板の一方の基板上の前記信号配線に表示データを転送するための中継バスとして、信号配線の幅にわたる連続した第1の中継バス配線と、前記信号配線の幅を複数個のブロックに区分し、前記第1の中継バスの整数倍の本数から構成される第2の中継バスとを有し、前記第1の中継バスから前記第2の中継バスとの間にデータを中継する中継回路をブロックごとに形成し、中継回路において前記第1の中継バスと前記第1の中継バスの表示データを時分割法により前記第2の中継バス上に並列に展開する制御装置との間に中継スイッチを設け、ブロックに含まれる信号配線のデータが中継される場合のみ前記中継スイッチを接続するよう接続し、前記第2の中継バスを介して前記表示データを順次読み込み1ブロック分の表示データを保持するデータラッチと、1ブロック分の表示データを同時に読み出しうける記憶回路と、該記憶回路の内容を読み出して論理電圧を変化させるレベルシフタ回路と、該レベルシフタ回路出力により前記信号配線を駆動するアナログ電圧に変換するD/A回路とを有する液晶表示装置。

【請求項6】少なくとも一方が透明な一対の基板と、該一対の基板間に挟持された液晶層を有し、前記一対の基板の一方には複数の走査配線と、複数の信号配線と、これらの配線の交点に対応して形成された複数の薄膜半導体素子と、該複数の半導体素子に接続された表示電極を有し、前記一対の基板の他方には対向電極を有する液晶表示装置において、

前記一対の基板の一方の基板上の前記信号配線に表示データを転送するための中継バスとして、信号配線の幅にわたる連続した第1の中継バス配線と、信号配線の幅を複数個のブロックに区分し、前記第1の中継バスの整数倍の本数から構成される第2の中継バスとを有し、

前記第1の中継バスから前記第2の中継バスとの間にデータを中継する中継回路をブロックごとに形成し、

前記中継回路は前記第1の中継バスの表示データを時分割法により第2の中継バス上に並列に展開する制御装置と前記第1の中継バスの間に中継スイッチを設け、ブロックに含まれる信号配線のデータが中継される場合のみ前記中継スイッチを接続するよう制御し、前記制御装置を前記第2の中継バスを駆動する駆動回路と、時分割を制御するためにアナログスイッチを設け、

前記第2の中継バスを介して前記表示データを順次読み込み1ブロック分の表示データを保持するデータラッチと、1ブロック分の表示データを同時に読み出しうける

記憶回路と、前記記憶回路の内容を読み出して論理電圧を変化させるレベルシフタ回路と、前記レベルシフタ回路出力により前記信号配線を駆動するアナログ電圧に変換するD/A回路とを有する液晶表示装置。

【請求項7】少なくとも一方が透明な一対の基板と、該一対の基板間に挟持された液晶層を有し、前記一対の基板の一方には複数の走査配線と、複数の信号配線と、これらの配線の交点に対応して形成された複数の薄膜半導体素子と、該複数の半導体素子に接続された表示電極を有し、前記一対の基板の他方には対向電極を有する液晶表示装置において、

前記一対の基板の一方の基板上に、前記信号配線に表示データを転送するための中継バスとして、信号配線の幅にわたる連続した第1の中継バス配線と、信号配線の幅を複数個のブロックに区分し、前記第1の中継バスの整数倍の本数から構成される第2の中継バスとを有し、前記第1の中継バスから前記第2の中継バスとの間にデータを中継する中継回路をブロックごとに形成し、前記第1の中継バスには表示データと、前記表示データに同期したドットクロックと、水平ラインのデータ転送開始に同期した水平同期信号を供給し、

前記中継回路は前記第1の中継バスの表示データを時分割法により前記第2の中継バス上に並列に展開する制御装置と前記第1の中継バスの間に中継スイッチを設け、ブロックに含まれる信号配線のデータが中継される場合のみ前記中継スイッチを接続するよう接続し、前記制御装置を前記第2の中継バスを駆動する駆動回路と、時分割を制御するためにアナログスイッチを設け、前記中継回路に前記水平同期信号に同期して前記ドットクロックをカウントするドットカウンタを設け、

前記第2の中継バスを介して前記表示データを順次読み込み1ブロック分の表示データを保持するデータラッチと、1ブロック分の表示データを同時に読み出しできる記憶回路と、前記記憶回路の内容を読み出して論理電圧を変化させるレベルシフタ回路と、前記レベルシフタ回路出力により前記信号配線を駆動するアナログ電圧に変換するD/A回路とを有する液晶表示装置。

【請求項8】少なくとも一方が透明な一対の基板と、該一対の基板間に挟持された液晶層を有し、前記一対の基板の一方には複数の走査配線と、複数の信号配線と、これらの配線の交点に対応して形成された複数の薄膜半導体素子と、該複数の半導体素子に接続された表示電極を有し、前記一対の基板の他方には対向電極を有する液晶表示装置において、

前記一対の基板の一方の基板上に、前記信号配線に表示データを転送するための中継バスとして、信号配線の幅にわたる連続した第1の中継バス配線と、信号配線の幅を複数個のブロックに区分した第2の中継バスとを有し、前記第1の中継バスから前記第2の中継バスとの間にデータを中継する中継回路をブロックごとに形成し、

前記第2の中継バスを介して前記表示データを順次読み込み1ブロック分の表示データを保持するデータラッチと、1ブロック分の表示データを同時に読み出しできる記憶回路と、前記記憶回路の内容を読み出して論理電圧を変化させるレベルシフタ回路と、前記レベルシフタ回路出力により前記信号配線を駆動するアナログ電圧に変換するD/A回路とを有し、

前記データラッチと前記ラインメモリとの間のデータ転送を断続するメモリ選択スイッチを設け、ブロックごとに異なる時期にデータ転送を行う液晶表示装置。

【請求項9】少なくとも一方が透明な一対の基板と、該一対の基板間に挟持された液晶層を有し、前記基板の一方には複数の走査配線と、複数の信号配線と、これらの配線の交点に対応して形成された複数の薄膜半導体素子と、該複数の半導体素子に接続された表示電極を有し、前記一対の基板の他方には対向電極を有する液晶表示装置において、

前記一方の基板上に、前記信号配線に表示データを転送するための中継バスとして、信号配線の幅にわたる連続した第1の中継バス配線と、信号配線の幅を複数個のブロックに区分した第2の中継バスとを有し、前記第1の中継バスから前記第2の中継バスとの間にデータを中継する中継回路をブロックごとに形成し、

前記第2の中継バスを介して前記表示データを順次読み込み1ブロック分の表示データを保持するデータラッチと、1ブロック分の表示データを同時に読み出しできる記憶回路と、前記記憶回路の内容を読み出して論理電圧を変化させるレベルシフタ回路と、前記レベルシフタ回路出力により前記信号配線を駆動するアナログ電圧に変換するD/A回路とを有し、

前記レベルシフタと前記D/A回路との間のデータ転送を断続するD/A選択スイッチを設け、ブロックごとに異なる時期にデータ転送を行う液晶表示装置。

【請求項10】請求項8又は9記載の液晶表示装置において、D/A選択スイッチもしくはメモリ選択スイッチとしてCMOS構成のアナログスイッチを用いる液晶表示装置。

【請求項11】請求項5の液晶表示装置において、中継スイッチとしてCMOS構成のアナログスイッチを用いる液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、特に駆動部を表示部と同一基板上に形成した周辺回路内蔵液晶表示装置に関する。

【0002】

【従来の技術】小型、高精細の液晶表示パネルの駆動方式として、薄膜トランジスタを用いてガラス基板上にマトリクス周辺回路を形成する方法が従来用いられている。例えば、1998エスアイディーインターナショナ

ルシンボジウムダイジェストオブテクニカルペーパーズの879頁から881頁に報告されている。また、アクティブマトリクス駆動方式ならびに液晶表示モジュールの詳細については松本正一編著の液晶ディスプレイ技術(産業図書)に詳しく述べられている。

【0003】以下、本発明との差違を明らかにするために図2に示す従来の表示装置構成および、図1に示す本発明による液晶表示装置の概略構成について説明する。

【0004】図1においては表示データおよび同期信号は液晶表示モジュール105の入力端子214から高速データバス203および高速制御バス216を介してデジタルデータドライバ部106に供給される。デジタルデータドライバ部には複数のブロック103ごとに分離された低速データバス102、低速制御バス107が配置され、高速データバス上のデータを並列に展開されており、高速データバスよりも低いレートでデータラッチに転送される。並列展開はブロック毎に配置した高速データ整列回路101により行われる。また、シフトレジスタ、及びデータ転送に必要な同期信号はブロック毎に配置した高速データ制御回路104によりブロックごとに個別に生成され、表示データのデータラッチへの配動作はブロック毎に独立したタイミングで行われる。

【0005】図2に示す従来方式のTFT液晶表示モジュールの構成は、表示データを低速で転送する低速データバスは含まれておらず、入力端子214から液晶表示モジュール215に入力した1組の高速データバス203と、高速制御バス216によりシフトレジスタ202を駆動して表示データを各データラッチ204に転送している。その後、データラッチ上の1ライン分のデータはラインメモリ205にラッ奇され、レベルシフタ206により電圧を増幅した後、信号配線ごとに設けたD/A変換回路207によりデジタルの表示データは液晶駆動電圧に変換され、信号配線208により画素部209を駆動する。走査側駆動回路213は直列接続されたシフトレジスタ211及びレベルシフタ212により構成され、走査配線210に画素部の選択パルスを出力することによりアクティブマトリクス表示を行う。このシステムでは、パネルが大型化、高精細化するとデータバスでの信号遅延を抑えるため配線幅を増加させねばならず、配線部の面積を増大させる原因となっていた。

【0006】また、データドライバ回路のすべてのデータラッチ、ラインメモリを同期して駆動させねばならぬいため、回路各部への同期信号間の時間差が増大すると、回路各部の同期が取れず比較的動作周波数の低いTFTによる大型パネルの周辺回路の実現を困難にしていた。

【0007】また、1組のデータバスに多数のデータラッチが接続されているためデータバス配線の容量値が大きくなるため、配線抵抗及び配線容量で定められる時定数が増大し、配線遅延時間が長くなることからも、大型

パネルの周辺回路の実現を困難にしていた。

【0008】本構成の特徴は、ブロックごとに独立した低速データバスを設け、同期制御をブロックごとに独立させた点にある。

【0009】まず、高速データバス上の表示データは高速データ制御回路によりブロックに対応した表示データをデータ整列回路により高速データバスよりも多本数の低速データバスに並列に並び替える。高速データバスに接続するラッチ回路は容量性負荷となるためこれが増えると配線遅延が増大するためデータ転送の高速化を困難にする。従来ではこのバスに信号配線本数分の多数のデータラッチ回路が接続されていたが、本発明の構成では高速データバスに接続する回路は各ブロック毎に1回路であり、さらにブロックに対応しないデータが転送されている時は、低速データバスを高速データバスと切離すことができるので、大幅にデータ配線の容量性負荷を低減することができる。制御バスについても同様に、従来例では多数のシフトレジスタを接続していたが、本発明においてはブロック毎に1回路のみの高速データ制御回路のみを接続するので容量性負荷を低減できる。このように高速バスを低容量負荷で駆動できるので、高速データバス配線を細い配線で伝送することができ、回路面積を小さくする利点がある。

【0010】次に、本発明ではブロック毎に個別の同期信号により低速データバスからデータラッチへのデータのラッチ動作を行う特徴がある。従来技術ではすべてのシフトレジスタ、データラッチが共通した配線上のドットクロックなどの高速な同期信号により駆動していた。このため、配線遅延などにより波形が歪み、あるいはデータと同期信号との位相が大幅にずれがあるとデータドライバ回路全体でのデータラッチ動作ができない。従って、パネルが大型化、高精細化のボトルネックとなっていた。本発明によれば各ブロックごとに独立にデータラッチ動作に必要な同期信号を発生させるため高速データバスに遅延が発生しても、各ブロック内では同期が取れており、高精細化、大型化しても確実なデータラッチが可能である。また、ブロック内のデータバスは低速になっており、データラッチ動作のための時間が従来例に比べて長くできるのでさらに確実にデータラッチが可能である利点がある。このため高速制御バス、高速データバスで多少伝達遅延が発生してもデータラッチ動作が可能であるので、高速データバス配線の途中に波形整形回路を設け、配線伝送中の波形歪みを補正することができるので、配線長が長くても転送が可能となるのでこれによっても大型パネルが容易に実現できる利点がある。

【0011】また、データドライバ回路がブロックに分割され、個別にデータラッチ動作、D/A変換動作を行うようにできるのでこれらの回路の消費電力が平均化されるので電源配線幅を少なくでき、データドライバ回路面積を少なくすることができるとともに本回路を駆動す

る電源容量のピーク出力を少なくすることができ、電源回路の負荷が低減でき、容易に大型パネルを駆動することができる利点がある。

【0012】

【発明が解決しようとする課題】前記従来技術では、液晶表示モジュールに対して1水平走査期間毎に走査線1ライン分の画素表示データをパネル内部のデータバスを介して画素部の信号配線に対応する各データラッチに転送しなければならない。この時の転送レートは画素数が多くなるほどに増大し、例えば、 1024×768 画素の構成では各画素18bitのデータを約50MHz程度の高速転送が必要である。

【0013】このような高速データの転送を行う為にはデータを画素ごとに順次直列に配列し、すべてのデータラッチと接続したデータバスを介して供給し、スタートパルス、転送クロック信号とシフトレジスタ回路を用いて順次シフトするデータラッチ信号により特定のデータラッチを動作させ、データを転送していた。しかしながら、データバスは表示領域の横方向の長さが必要であり、配線長が長く、しかも配線1本には容量性負荷を伴う多数のデータラッチが接続されており、配線の負荷容量はパネルの画素数とともに増大し、配線遅延は増大する。画素数を増加させようとすると、より高速なデータ伝送が必要となるにも関わらず、配線抵抗は増大し、配線負荷容量も増大し、信号遅延も増大するため、上記の構造では高精細パネルの大型化が困難であった。

【0014】本発明は、表示パネル上に負荷容量が少なく、大型高精細パネルにおいても高速データバスに入力された表示データをバスの末端まで波形歪みを少なく伝送することができる液晶表示装置を提供することを目的とする。

【0015】

【課題を解決するための手段】前記目的を達成するために、本発明においては、液晶表示装置の液晶表示パネルの基板上にTFTアクティブマトリクス方式の表示領域と薄膜TFTを用いたTFT周辺回路を形成し、高速データバス及び高速制御バスからなる高速バスと、ブロック化された低速データバスおよび信号配線駆動回路を設ける。高速バスは高速の表示データを外部から供給し、バス配線中の信号遅延による波形歪みを配線中に設けた波形整形回路で補正し、終端まで高速表示データ及びドットクロック、同期信号などの高速制御信号を転送する。

【0016】ブロックごとに表示データを多数の低速バス上に並列展開して順次データラッチに表示データを転送し、ラインメモリ、D/A変換回路によりデジタル表示データを液晶駆動電圧に変換しアクティブマトリクス表示部を駆動するようにする。

【0017】また、低速データバスをブロック化し、個別のタイミング信号により動作させることにより、多数

のバス上に並列展開された表示データを、多数のデータラッチに順次、低速で取り込むことが可能となる。さらには、高速データ転送バス上においてブロック間で大幅な信号遅延が発生しても、ラッチへのサンプリング動作はブロックごとに独立しているので、正しく表示データをラッチに転送することができる。以上の効果により高精細化した大型パネルにおいて、表示データの転送レートが増大しても表示データを各データラッチに転送することが可能となり、全体として大型パネルにおいてもデータ転送速度を高速化できる。

【0018】

【発明の実施の形態】以上、図面を参照して本発明の液晶表示装置について詳細に説明する。

【0019】図3に第1の実施例である液晶表示装置の回路構成を示す。本回路は表示装置のガラス基板305上に高速データバス203、分割された低速データバス102を含むデータドライバ回路307、走査側駆動回路210、および薄膜トランジスタにより構成されたアクティブマトリクス方式の画素による画素部209により構成される。これらの回路はCMOSTFT形成プロセスにより形成されている。

【0020】TFT基板形成方法としては、Si膜として、TFT基板に無アルカリガラスを用い、Si結晶膜形成方法としてレーザーアニール成長法による低温ポリシリコン、また石英ガラス基板を用い、固相成長法による高温ポリシリコンなどの多結晶Si膜を用いることができる。これにドーピング法を組み合わせ、pch、nchのTFTを同一基板上に同時に形成するプロセスによりTFT基板は形成可能である。

【0021】次に図3の構成の詳細について述べる。

【0022】入力端子214より表示に必要な表示データ及び同期信号は、高速バス駆動回路306に接続される。高速バス駆動回路は高速データバス203及び高速制御バス216に接続されている。高速データバス203及び高速制御バス216は途中に波形整形回路303を介して各ブロック103毎に配置した高速データ制御回路104、およびデータ整列回路101に順次接続されている。表示データは高速データ制御回路104からの同期信号によりデータ整列回路101により多数のブロック毎に分割した低速データバス102上に並列に展開されて各ブロックのラッチ回路302に接続される。またブロック内の同期信号は高速データ制御回路104により高速制御バス216上の同期信号から生成され、ブロック毎に分割した低速制御バス107によりブロックに供給する。ブロック内には画素部209の信号配線208に対応する複数のシフトレジスタ301、データラッチ302、ラインメモリ205、レベルシフタ206、D/A変換回路207が設けられている。また、走査側駆動回路210では従来例と同様にパネル走査制御バス304により供給する同期信号により、画素部20

9の線順次走査に必要な走査パルスを発生し、画素部の走査配線213に供給する。

【0023】以上の構成により回路は次のように表示動作を行う。

【0024】ドットクロック及び、水平同期及び垂直同期信号および表示データは入力端子214高速バス駆動回路306により低インピーダンス変換、及びOMOSTFTで構成される論理回路に適合するように論理信号の振幅を調整するレベルシフト処理された後高速データバス203及び高速制御バス216に接続され、各ブロックに供給される。また、途中に介在する波形整形回路303によりバス伝送中に生じる波形歪み及びデータと同期信号とのタイミングずれを補正される。

【0025】各ブロックでは高速データ制御回路104により高速制御バス上のドットクロック及び水平同期信号から当該するブロックでの処理に必要なデータが到達している期間を検出し、データ整列回路101を高速データバスに接続する。データ整列回路101では高速データバス上のデータを少なくとも高速データバスよりも多本数の配線本数から構成された低速データバス102への並列並へ替え動作を高速データ制御回路104からの制御信号により実行し、これと同期して動作するシフトレジスタ301はラッチ回路302に順次データラッヂ信号を発生させ、ラッチ回路302は低速データバス102上の表示データをラッチすることによりブロック103に当該する表示データをラッチ回路302に転送する。各ブロックが順次上記動作を行い、1ライン分の表示データがすべてのラッチ回路に転送されると、ラッチ回路はデータをラインメモリ205に転送し、D/A回路により液晶駆動電圧に変換された後に信号配線208を駆動し画素部209を駆動する。

【0026】また、入力端子214から入力されたフレームスタート信号はパネル走査制御バス304により走査側駆動回路210により従来技術同様の動作により画素部209の走査配線213を駆動し表示動作を行うことができる。

【0027】この構成においては、低速データバスの本数は多いほどブロックの個数を少なくすることができ、高速データバスの負荷を減らすことができ、配線を長くとることができる反面、データバス本数が増加すると配線の占有面積が増大し回路面積は増加してしまうため配線本数の最適化が必要である。

【0028】実際のパネルの場合について説明する。640×480画素のパネルでは、1ライン分の640画素、RGB各色6ビットの階調信号を転送する場合は、 $640 \times 3 \times 6 = 11520$ ビットを転送する必要があり、従来例ではシフトレジスタ回路は12.5MHzで駆動し、データ配線には、4.7インチ対角パネル内部に設けた高速データ配線1本当に、320個のラッチ回路が接続されていた。

【0029】これに対し、本発明では高速データバスにはブロック数の高速データ整列回路が接続されるのみであり、例えばブロック数が8ブロックであれば高速データバスに接続する負荷の回路数は1/40に低減することができる。したがって配線時定数を同一の条件で比較すると、配線幅は1/40で済み、配線部分の面積を低減することができる。

【0030】以下に、各ブロック回路部分の詳細構成について画素数1024×768画素の場合で、8ブロックで構成する場合を用いて説明する。本方式が他の画素構成でも実現できることは言うまでもない。

【0031】本発明の主要部分である高速データ整列回路及び高速データ制御回路の内容構成を各々図4及び図5に示す。高速制御バス216はドットクロックバス401及び水平スタート信号バス402により構成される。ドットクロックをクロックとし、水平スタート信号の立ち上がりをカウントスタート信号、立ち下がりをリセット信号として動作する9bitのバイナリカウンタから構成されるドットカウンタ403とデコーダ回路404により構成される。ドットカウンタの各ビット出力410のb8～b0の組み合わせは、図示していない高速データバス上に現れている表示データのライン上の画素位置を示している。ドットカウンタの出力を、論理回路を用いて構成したデコーダ回路により以下の必要な制御信号を出力する。

【0032】ブロック選択信号405は表示データバスに各ブロックに含まれる画素データが出力されている期間には論理“1”的出力を出す。この場合ではカウンタ出力の上位3ビットb8～b6をデコードすればよい。

30 第1ブロックは上位3ビットの状態が(000)、第2ブロックは(001)、第3ブロックは(011)、第8ブロックは(111)とすればよい。この信号は1ブロックが受け持つ画素は画面左端の第1ブロックではn=1～127画素、第2ブロックでは128～255画素、第8ブロックでは256～1024画素の対応する期間は1が出力される。図4では第2ブロックであるのでb7のみが論理“1”的場合をデコードした。b5～b0の出力にはスイッチ409を設け、ブロック選択信号が“1”的場合だけ以下の信号が出力されるようにスイッチを制御し、不要な論理回路の動作を止め、デコーダ回路404の消費電力を低減する。

【0033】低速スタート信号406はブロック内の左端の画素が出力される期間から4クロック期間出力する。これはb5～b2すべてが0の場合のNANDをとることにより得る。

【0034】#1から#4の4相の低速シフトクロック407はb1およびb0を用いて生成する。#1はb1、#3はB1の反転信号、#2はb1とb0とのEX-OR演算により得る。#4は#2の反転信号を用いる。

【0035】4本の低速バス切り替え信号408はb₀, b₁のデコードにより生成できる。なお、このドットカウンタ403は水平周期ごとに、水平スタートバスの立ち下りによりリセットされ、上記の動作が1ラインごとに繰り返される。

【0036】このようにして生成したブロックごとの同期制御信号を用いて駆動する、図5に示すデータ整列回路101の詳細構成を説明する。高速データ整列回路の機能は高速データバス上の信号を高速データバスのn倍本数分設けた低速データバス上にn並列に展開することであり、データラッチからD/A変換処理までの1画素当たりの表示データ処理時間を拡張し、配線応答が遅くても高速なレートで入力した表示データを取り扱うことを可能にする利点がある。ここでは、n=4として説明する。

【0037】高速データバス203を構成する各配線はブロック選択信号405によりブロック単位で共通して導通を制御されるブロック選択スイッチ501を介してバス駆動回路502に接続する。こうすることによりブロック選択信号によりブロック選択スイッチが導通状態にある場合のみ、バス駆動回路が負荷として高速データバス配線に接続されるので高速データバス配線の容量負荷を減らすことができ、バスを細くできる。バス駆動回路の出力は高速データバス1本の信号から4本の信号への接続を切り替える機能を有し、4個のCMOSアナログスイッチによるセレクタ回路構成され、低速バス切り替え信号により制御される低速バス切り替えスイッチ503に接続される。この場合、低速データバスの本数は高速データバス1本に対し4本あるので、各画素6ビットの階調表示に対応するためには $6 \times 4 = 24$ 本の低速バスを用いる。低速バスには多数のデータラッチ回路や、配線の交差部などにより形成される寄生容量504が形成されており、低速データバス配線の電圧はバス切り替えスイッチが切離されても電圧は維持される。なお、ブロック選択スイッチ501、低速バス切り替えスイッチ503は他の同等の機能を有する適当な論理回路の組み合わせによって実現することができる。次に回路動作について以下、波形を用いて説明する。図6は高速データバスから低速データバスへの信号変換処理を行う高速データ制御回路104及びデータ整列回路101の各部動作波形である。ここでは1ブロック当たりm画素からなるn個のブロック、ブロック内部の低速バス本数を1ビット当たり4本の場合を示している。高速データバス上には正極性の水平同期信号と同期して1ライン分の画素である1画素からm×n画素までの表示データが順次現れている。各ブロックのブロック選択信号は各々のブロックに相当するデータが現れている期間のみ正論理となりブロック選択スイッチ405を導通状態とし、高速データバス203をバス駆動回路502に接続する。以下はm+1画素から2m画素が含まれる第2ブロックに

ついて高速データ整列回路の動作を説明する。第2ブロック内の画素に対応するデータが供給されている期間中は、高速データ制御回路104により高速ドットクロックに同期し、周期4クロックで、互いに1クロックごとに位相を遅らせた4本の低速バス切り替え信号#1～#4が生成される。低速バス切り替えスイッチ503は低速バス切り替え信号により各ビットを4本の低速バス上に接続し、#1の低速データバス上にはm+1画素、m+5画素、#2画素にはm+2画素、m+6画素と、4画素おきのデータが取り込まれる。従って、以下の順序で低速データバスのデータは更新される。m+1画素目のデータは#1、m+2画素目のデータは#2、m+3画素目のデータは#3、m+4画素目のデータは#4、m+5画素目のデータは#1、m+6画素目のデータは#2と言う順番で4画素おきに低速データバスのデータは更新される。このように、1本の高速データバスにより転送されている1画素順次のシリアルデータは、低速データバス上では4画素毎の並列形式に展開されている。

【0038】低速データバス上で、互いに位相が1/4周期ずつずれを伴い4画素ごとに並列化されたデータを、図3に示すデータラッチ302に取り込むため、高速データ制御回路ではブロック内部のシフトレジスタ301として4相シフトレジスタを用いる。4相シフトレジスタを駆動するための4相のクロックが低速シフトクロックとして生成される。周期は低速バス切り替え信号同様に高速ドットクロック4周期であり、各相は1/4周期ずつ位相が遅れている。シフトレジスタの各段の出力は図3のデータラッチ302を駆動するラッチ信号となり、高速ドットクロック4周期のパルス幅で、互いに1クロックずつ位相が遅れたパルスとなっている。

【0039】図7を用いてラインメモリの動作を説明する。ラインメモリの入力にはデータラッチが接続されており、1水平期間ごとに走査線1本分のデータが更新されている。更新された後に入力されるこのデータをラインメモリ制御信号によりラインメモリは入力を取り込みデータを更新する。更新されたデータは図3のD/A変換回路207に接続されており、瞬時に液晶駆動電圧に変換され、画素部209を駆動する信号配線208に供給される。画素部の動作波形は従来例と同様であるので概略説明する。走査配線213には1ラインごとに図8の構成の回路が接続されており、シフトレジスタ701により、1水平期間周期のシフトクロックと、1フレーム時間毎にフレームスタート信号のパルスにより駆動され、水平期間周期ごとに順次シフトした走査パルスをレベルシフタ及びドライバ回路702を介して図3の走査配線213に印加する。また、データドライバ回路307では、走査パルスに同期してD/A変換回路により1ライン分の各信号配線に各ドットの液晶駆動電圧を印加することにより画素での表示が行われる。

13

【0040】次に第2の実施例について図9を用いて説明する。本図は各ブロックの回路構成を示した物である。本方式の特徴はデータラッチからメモリへのラッチをブロックごとに異なるタイミングで転送する点にある。また、もう1つの特徴はラインメモリからD/A変換回路へのデータの転送をブロックごとに異なるタイミングで転送する点にある。このため構成としてはラッチ回路とメモリ回路の間にメモリ選択スイッチ901及びラインメモリとD/A変換回路との間にD/A変換回路選択スイッチ902を設け、各々メモリ転送信号903及びD/A変換転送信号904により制御する点にある。メモリ選択スイッチおよびD/A選択スイッチはCMOSアナログスイッチ905を回線分用いて、アナログスイッチを駆動するための両極性の制御信号を得るため、インバータ906を用いる。各アナログスイッチの制御信号は共通に接続し、各転送信号903および904により1ブロック分をまとめて制御する。こうすることによりラインメモリ回路の動作をブロックごとに分散することが出来、消費電力を分散して電源回路の容量を低減することができる利点がある。また、D/A変換回路をブロックごとに分割して駆動することによりD/A回路の電源電流を時間的分散することができるので消費電流を低減することができるとともに、電源配線での電圧降下を低減できるので配線抵抗が高くても安定して誤差の少ない液晶駆動電圧が得られる利点がある。

【0041】本発明によれば、表示TFT基板上に形成された高速データバス及び高速制御バスは各々外部から供給された高速の表示データやドットクロックなどの同期信号を波形形成回路を介してデータトライバ回路の末端まで供給する。

【0042】表示データはブロックごとに分離された多数の低速データバス上に並列展開され、低速でブロック内のデータラッ奇に取り込まれる。その後ラインメモリ*

10

10 ル上に負荷容量が少なく、大型高精細パネルにおいても高速データバスに入力された表示データをバスの末端まで波形歪みを少なく伝送することができる。

【図面の簡単な説明】

【図1】本発明の概略構成図である。

〔図2〕従来技術の概略構成図である。

【図3】本発明の液晶表示装置回路ブロック構成図である。

【図4】高速データ制御回路の詳細構成図である。

【図5】高速データ整列回路の詳細構成図である。

20 【図6】高速データ整列回路各部動作波形

（四）在本办法施行前，已经按照国务院规定领取的退役士兵安置证的，不再办理。

[図7] ライ

【図8】走査回路詳細構成図である。

[図9] 本発明第2の実施例構成図である。

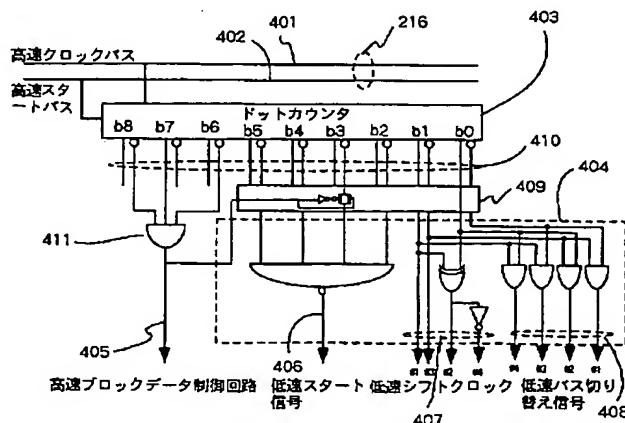
【符号の説明】

101... \bar{v}

101…データ登録回路、102…低速データバス、103…ブロック、104…高速データ制御回路、105…液晶表示モジュール、106…デジタルデータドライバ部、107…低速制御バス、203…高速データバス

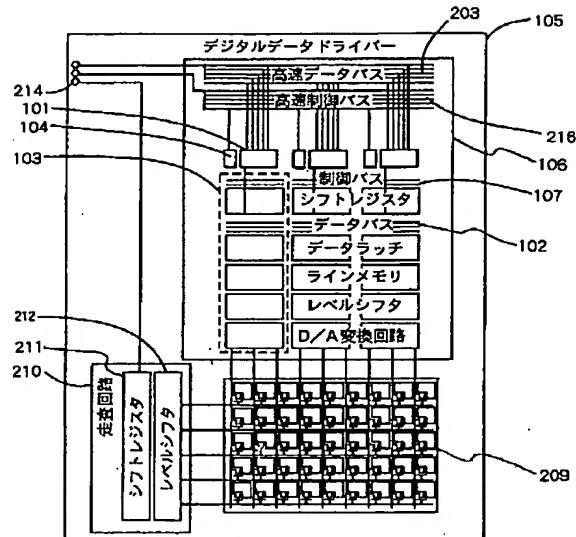
30 209…画素部、210…走査側駆動回路、211…シ
フトレジスタ、212…レベルシフタ、214…入力端
子、215…液晶表示モジュール、216…高速制御バ
ス。

[図5]



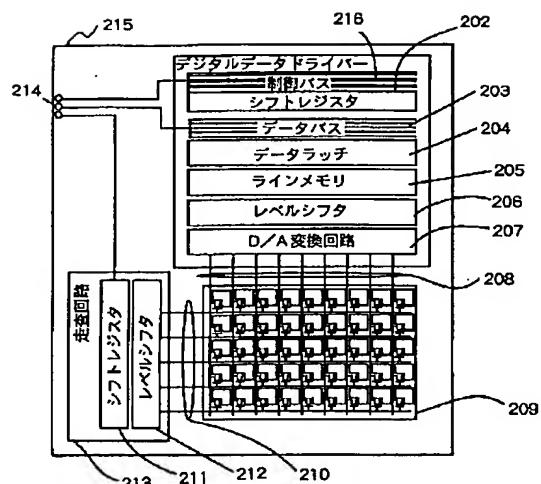
【図1】

图 1



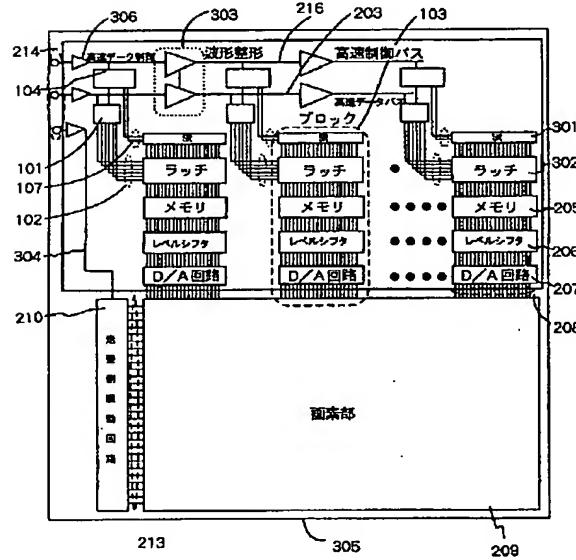
[図2]

四 2



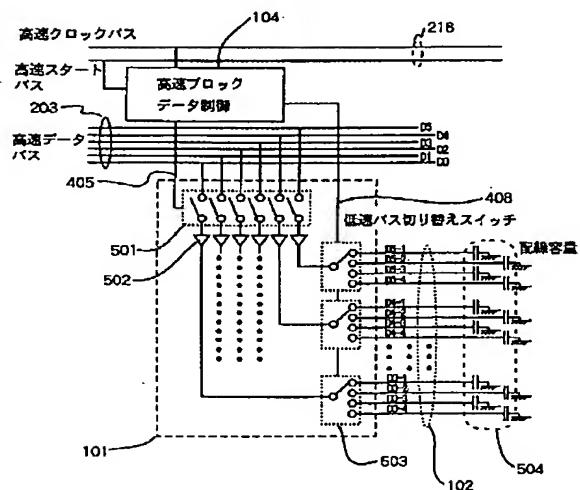
[図3]

3



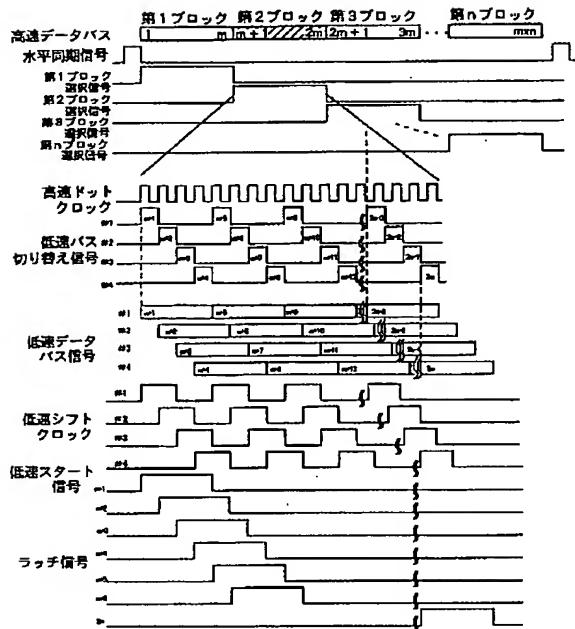
[図4]

图 4



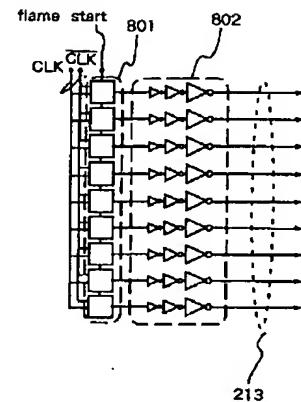
【図6】

図 6

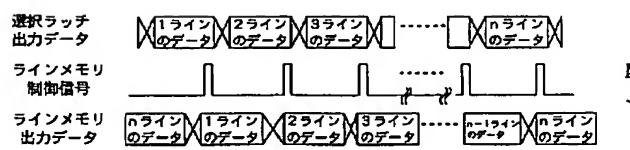


【図8】

図 8

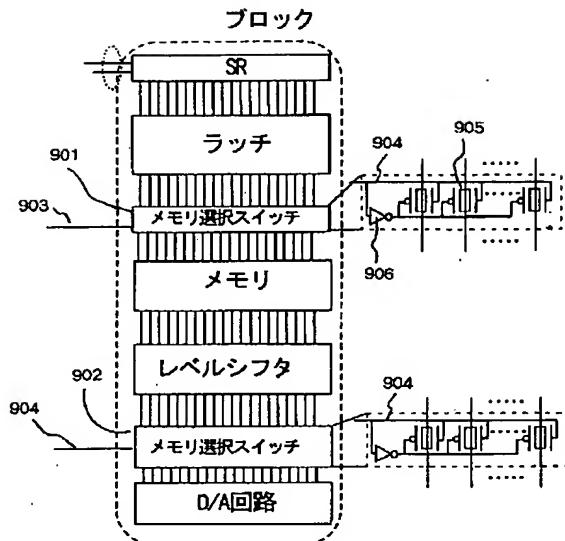


【図7】



【図9】

図9



フロントページの続き

(72)発明者 景山 寛
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

F ターム(参考) 2H093 NA16 NC12 NC21 NC22 NC26
NC34 ND31 ND40
5C006 AA01 AA16 AA22 AF42 AF44
AF46 AF83 BB16 BF03 BF04
BF05 BF22 BF24 BF25 BF26
BF34 BF46 FA11 FA18 FA37
5C080 AA10 BB05 CC03 DD08 DD12
EE29 EE30 FF11 JJ02 JJ04

(72)発明者 増田 和人
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内